

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-189429

(43)Date of publication of application : 10.07.2001

(51)Int.Cl. H01L 27/06
H01L 21/3205
H01L 27/04
H01L 21/822
H01L 29/78

(21)Application number : 2000-288075 (71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 22.09.2000 (72)Inventor : KATO KOJI

(30)Priority

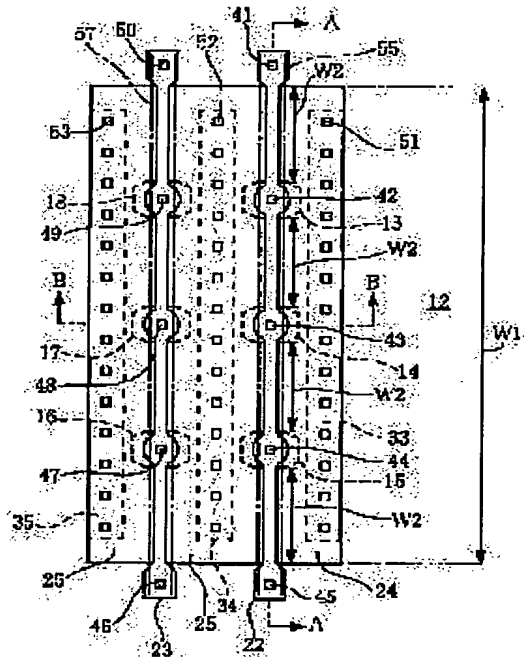
Priority number : 11298543 Priority date : 20.10.1999 Priority country : JP

(54) SEMICONDUCTOR DEVICE, MANUFACTURING METHOD FOR THE SAME, AND SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device, in which no filicide layer is provided on a gate electrode and a manufacturing method therefor, where the semiconductor device can be reduced in apparent gate resistance.

SOLUTION: A semiconductor device is equipped with gate electrodes 22 and 23 formed on the semiconductor layer of a silicon substrate 11 through the intermediary of a gate insulating layer 21, impurity diffused layers 24, 25, and 26 which form a source region and a drain region provided in the semiconductor layer in an active region, and contacts 42 to 44 and contacts 47 to 49 formed on the gate electrodes 22 and 23 located in the active region. Furthermore, in the region where contacts are formed, pad-shaped insulating layers 13 to 15 and 16 to 18 are formed under the gate electrodes 22 and 23.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-189429

(P2001-189429A)

(43) 公開日 平成13年7月10日 (2001.7.10)

(51) Int.Cl.⁷

識別記号

F I

テ-マコード (参考)

H 0 1 L 27/06
21/3205
27/04
21/822
29/78

3 1 1

H 0 1 L 27/06
21/88
27/04
29/78

3 1 1 C 5 F 0 3 3
Q 5 F 0 3 8
H 5 F 0 4 0
3 0 1 K 5 F 0 4 8
3 0 1 X

審査請求 未請求 請求項の数31 O L (全 10 頁)

(21) 出願番号 特願2000-288075(P2000-288075)

(22) 出願日 平成12年9月22日 (2000.9.22)

(31) 優先権主張番号 特願平11-298543

(32) 優先日 平成11年10月20日 (1999.10.20)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 加藤 晃次

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74) 代理人 100090479

弁理士 井上 一 (外2名)

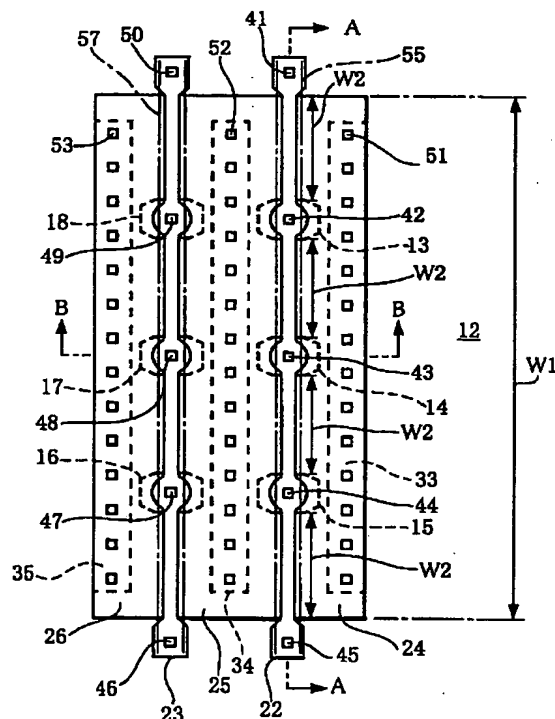
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法並びに半導体集積回路装置

(57) 【要約】

【課題】 ゲート電極上にシリサイド層を有さないデバイスであって、見かけ上のゲート抵抗を小さくできる半導体装置およびその製造方法を提供する。

【解決手段】 半導体装置は、シリコン基板11の半導体層上に、ゲート絶縁層21を介して形成されたゲート電極22、23、アクティブ領域の半導体層に形成された、ソース領域またはドレイン領域を構成する不純物拡散層24、25、26、およびアクティブ領域に存在するゲート電極22、23上に形成された、複数のコンタクト部42~44、47~49、を有する。さらに、コンタクト部が形成された領域において、ゲート電極22、23の下にパッド状絶縁層13~15、16~18が形成されている。



【特許請求の範囲】

【請求項1】 半導体層上に、ゲート絶縁層を介して形成されたゲート電極、

アクティブ領域の前記半導体層に形成された、ソース領域またはドレイン領域を構成する不純物拡散層、および前記アクティブ領域に存在するゲート電極上に形成された、少なくとも1つのコンタクト部、を含む半導体装置。

【請求項2】 請求項1において、前記コンタクト部が形成された領域において、前記ゲート電極の下にパッド状絶縁層が形成された、半導体装置。

【請求項3】 請求項2において、前記パッド状絶縁層の一部は、前記半導体層に対して前記ゲート絶縁層より深く形成された、半導体装置。

【請求項4】 請求項2または3において、前記パッド状絶縁層は、平面的にみて前記ゲート電極の幅より大きい幅を有する、半導体装置。

【請求項5】 請求項1ないし4のいずれかにおいて、前記コンタクト部が形成された領域におけるゲート電極の幅は、前記コンタクト部が形成されていない領域のゲート電極の幅より大きい、半導体装置。

【請求項6】 請求項1ないし5のいずれかにおいて、さらに、前記ゲート電極に電位を供給するための導電層を有し、該導電層は、前記コンタクト部を介して前記ゲート電極と電気的に接続されている、半導体装置。

【請求項7】 請求項6において、前記導電層は、金属配線層である、半導体装置。

【請求項8】 請求項1ないし7のいずれかにおいて、前記コンタクト部は、複数である、半導体装置。

【請求項9】 請求項8において、前記コンタクト部は等間隔で配置された、半導体装置。

【請求項10】 請求項1ないし9のいずれかにおいて、前記不純物拡散層上に、前記ゲート電極と離れた状態でシリサイド層が形成された、半導体装置。

【請求項11】 請求項1ないし10のいずれかにおいて、前記コンタクト部は、前記ゲート電極の幅方向のほぼ中心に沿って配置された、半導体装置。

【請求項12】 請求項1ないし10のいずれかにおいて、前記コンタクト部は、前記ゲート電極の幅方向の中心から変位して配置された、半導体装置。

【請求項13】 請求項12において、前記コンタクト部は、ソース領域を構成する不純物拡散層側に突出した領域に配置された、半導体装置。

【請求項14】 請求項13において、前記ゲート電極は、ドレイン領域を構成する不純物拡散層側において、平面的にみて、ほぼ直線をなす形状を有

する、半導体装置。

【請求項15】 半導体層、前記半導体層上に、ゲート絶縁層を介して形成されたゲート電極、アクティブ領域の半導体層に形成された、ソース領域またはドレイン領域を構成する不純物拡散層、前記アクティブ領域に存在するゲート電極上に形成された、複数のコンタクト部、前記コンタクト部が形成された領域において、前記ゲート電極の下に形成されたパッド状絶縁層、および前記コンタクト部を介して電気的に接続され、前記ゲート電極に電位を供給するための金属配線層、を含む半導体装置。

【請求項16】 半導体層、前記半導体層上に、ゲート絶縁層を介して形成されたゲート電極、アクティブ領域の半導体層に形成された、ソース領域またはドレイン領域を構成する不純物拡散層、前記アクティブ領域に存在するゲート電極上に形成された、複数のコンタクト部、前記コンタクト部が形成された領域において、前記ゲート電極の下に形成されたパッド状絶縁層、および前記コンタクト部を介して電気的に接続され、前記ゲート電極に電位を供給するための金属配線層、を含み、前記コンタクト部は、前記ゲート電極の中心からソース領域を構成する不純物拡散層側に変位して配置され、かつ、前記ゲート電極は、ドレイン領域を構成する不純物拡散層側において、平面的にみて、ほぼ直線をなす形状を有する、半導体装置。

【請求項17】 請求項16において、前記ソース領域を構成する不純物拡散層において、隣接するゲート電極上に形成されたコンタクト部は、対をなして配置され、かつ、一対のコンタクト部は、単一のパッド状絶縁層上に配置された、半導体装置。

【請求項18】 以下の工程(a)ないし(d)を含む、半導体装置の製造方法。

(a) 半導体層のアクティブ領域以外の領域に素子分離領域を形成する工程、

(b) 前記アクティブ領域の半導体層上に、ゲート絶縁層を介してゲート電極を形成する工程、

(c) 前記アクティブ領域の半導体層に、ソース領域またはドレイン領域を構成する不純物拡散層を形成する工程、および

(d) 前記アクティブ領域に存在するゲート電極上に、少なくとも1つのコンタクト部を形成する工程。

【請求項19】 請求項18において、前記工程(a)において、前記コンタクト部が形成される領域に、前記素子分離領域の形成と同時にパッド状絶縁層が形成される、半導体装置の製造方法。

【請求項20】 請求項19において、前記パッド状絶縁層は、平面的にみて、前記工程（b）で形成される前記ゲート電極の幅より大きい幅を有するようにパターンニングされる、半導体装置の製造方法。

【請求項21】 請求項18ないし20のいずれかにおいて、前記工程（b）において、前記コンタクト部が形成される領域におけるゲート電極の幅は、前記コンタクト部が形成されていない領域のゲート電極の幅より大きくなるようにパターンニングされる、半導体装置の製造方法。

【請求項22】 請求項18ないし21のいずれかにおいて、

前記工程（d）において、前記コンタクト部は、前記ゲート電極および前記不純物拡散層が形成された半導体層上に層間絶縁層を形成し、該層間絶縁層にコンタクトホールを形成し、さらに該コンタクトホールに導電層を埋め込むことにより形成される、半導体装置の製造方法。

【請求項23】 請求項18ないし22のいずれかにおいて、

さらに、前記ゲート電極に電位を供給するための導電層を形成する工程を有し、該導電層は、前記コンタクト部を介して前記ゲート電極と電気的に接続される、半導体装置の製造方法。

【請求項24】 請求項23において、前記導電層は、金属配線層である、半導体装置の製造方法。

【請求項25】 請求項18ないし24のいずれかにおいて、

前記コンタクト部は、複数箇所に形成される、半導体装置の製造方法。

【請求項26】 請求項25において、前記コンタクト部は等間隔で形成される、半導体装置の製造方法。

【請求項27】 請求項18ないし26のいずれかにおいて、

さらに、前記不純物拡散層上に、前記ゲート電極と離れた状態でシリサイド層を形成する工程を有する、半導体装置の製造方法。

【請求項28】 以下の工程（a）ないし（e）を含む、半導体装置の製造方法。

（a）半導体層のアクティブ領域以外の領域に素子分離領域を形成するとともに、コンタクト部が形成される領域にパッド状絶縁層が形成される工程、

（b）前記アクティブ領域の半導体層上に、ゲート絶縁層を介してゲート電極を形成する工程、

（c）前記アクティブ領域の半導体層に、ソース領域またはドレイン領域を構成する不純物拡散層を形成する工程、

（d）前記アクティブ領域に存在するゲート電極上に、複数のコンタクト部を形成する工程であって、該コンタ

クト部は、それぞれ前記パッド状絶縁層の上に位置するように形成される工程、および

（e）前記コンタクト部を介して電気的に接続され、前記ゲート電極に電位を供給するための金属配線層を形成する工程、を含む半導体装置の製造方法。

【請求項29】 請求項28において、前記コンタクト部は、前記ゲート電極の中心からソース領域を構成する不純物拡散層側に変位して配置され、かつ、前記ゲート電極は、ドレイン領域を構成する不純物拡散層側において、平面的にみて、ほぼ直線をなす形状を有するようにパターンニングされる、半導体装置の製造方法。

【請求項30】 請求項29において、前記ソース領域を構成する不純物拡散層をはさんで隣接するゲート電極上に形成されたコンタクト部は、それぞれ対をなして配置され、かつ、一対のコンタクト部は、単一のパッド状絶縁層の上に配置されるように形成される、半導体装置の製造方法。

【請求項31】 請求項1ないし17に記載の半導体装置を有する静電気保護回路を含む、半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置、特に半導体集積回路装置の入出力回路に設けられる静電気保護回路に有用な半導体装置およびその製造方法に関する。

【0002】

【背景技術および発明が解決しようとする課題】半導体装置の微細化に伴い、MOSトランジスタのソース／ドレイン領域を構成する不純物拡散層の寄生抵抗を小さくするために、不純物拡散層の表面にシリサイド層を設ける技術がよく用いられている。このようにソース／ドレイン領域の寄生抵抗を小さくすることで、MOSトランジスタのスイッチング速度を大きくでき、高速動作を実現できる。

【0003】しかし、半導体集積回路装置の入出力回路に設けられる静電気保護回路において、放電素子としてMOSトランジスタを用いる場合には、ソース／ドレイン領域の寄生抵抗を低減することは、静電放電（ESD）耐圧が低下するという問題を有する。このようにESD耐圧が低下する主な理由は、ソース／ドレイン領域を構成する不純物拡散層の寄生抵抗が小さくなることで電流集中が生じやすくなり、熱破壊を生じてしまうことにある。

【0004】このようなソース／ドレイン領域を構成する不純物拡散層の寄生抵抗の低下に伴うESD耐圧の低下を避けるために、放電素子としてのMOSトランジスタのソース／ドレイン領域のシリサイド層を部分的ある

いは全面的に形成しない技術が知られている（特開平1-259560号公報、特開平2-271673号公報、特開平4-271674号公報など参照）。

【0005】ところで、ゲート電極およびソース／ドレイン領域の両者にシリサイド層を形成する、いわゆるフルシリサイド工程（Full SALICIDE Process）を採用する場合に、ゲート電極上にはシリサイド層を形成し、かつドレインジャンクションの近傍にはシリサイド層を形成しないことは、プロセス上の制約から極めて困難である。つまり、ドレインジャンクションの近傍にシリサイド層が形成されないようにすると、シリサイドが形成されないようにするためのシリサイドプロテクションとしてのマスク（たとえば酸化層）が必ずゲート電極上にも形成されてしまう。その結果、ゲート電極上の一部にもシリサイド層が形成されなくなり、シート抵抗が例えばキロオームオーダとなって高速動作が期待できず、また、前記マスクのアライメントずれによりゲート電極上のシリサイド層の大きさが不均一になることから、トランジスタ相互間でゲート抵抗を一定にすることが難しい。

【0006】本発明の目的は、ゲート電極上にシリサイド層を有さないデバイスであって、見かけ上のゲート抵抗を小さくできる半導体装置およびその製造方法を提供することにある。

【0007】

【課題を解決するための手段】本発明にかかる半導体装置は、半導体層上に、ゲート絶縁層を介して形成されたゲート電極、アクティブ領域の前記半導体層に形成された、ソース領域またはドレイン領域を構成する不純物拡散層、および前記アクティブ領域に存在するゲート電極上に形成された、少なくとも1つのコンタクト部、を含む。

【0008】この半導体装置によれば、前記アクティブ領域におけるゲート電極上に少なくとも1つのコンタクト部を有することにより、アクティブ領域においても、コンタクト部を介してゲート電極に所定の電位を供給でき、ゲート抵抗を小さくできる。

【0009】本発明の半導体装置は、さらに以下の態様をとることができる。

【0010】（1）前記コンタクト部が形成された領域において、前記ゲート電極の下にパッド状絶縁層が形成されている。このパッド状絶縁層が半導体層とコンタクト部との間に存在することにより、コンタクト部を形成する際のストレスなどがゲート絶縁層に与える影響を回避でき、トランジスタ特性を低下させることがない。前記パッド状絶縁層は、上記の機能を十分に達成するために、平面的にみて前記ゲート電極の幅より大きい幅を有することができる。

【0011】（2）前記ゲート電極は、前記コンタクト部が形成された領域において、該ゲート電極の幅が他の

部分より大きいことが好ましい。このようにすることで、ゲート電極上でのコンタクト部の形成領域が広がり、その形成が容易となる。

【0012】（3）さらに、前記ゲート電極に電位を供給するための導電層を有し、該導電層は、前記コンタクト部を介して前記ゲート電極と電気的に接続されていることができる。この導電層を介して、ゲート電極の電気抵抗を実質的に低下させ、高速動作を可能にする。したがって、前記導電層は、前記ゲート電極より導電性が高い物質から構成されることが望ましく、たとえば、前記導電層は、金属配線層からなる。また、前記ゲート電極の電気抵抗をより小さくすることを考慮すれば、前記コンタクト部は、複数設けられ、しかも各コンタクト部は等間隔で配置されることが望ましい。

【0013】前記コンタクト部は、前記ゲート電極上に形成されていればよく、その配置は、特に限定されない。コンタクト部の配置の例として、前記ゲート電極のほぼ中心に沿って配置される場合、あるいは、前記ゲート電極の中心から変位して配置される場合がある。

【0014】特に、後者の場合、前記コンタクト部は、ソース領域を構成する不純物拡散層側に突出した領域に配置され、そして、前記ゲート電極は、ドレイン領域を構成する不純物拡散層側において、平面的にみて、ほぼ直線をなす形状を有することが望ましい。このように、ドレイン領域側のゲート電極の側面を直線状にすることで、ドレインジャンクションをスムーズに構成でき、静電破壊に至る電界集中の発生を防止できる。

【0015】本発明の代表的な態様として、以下の半導体装置を挙げることができる。

【0016】第1の態様にかかる半導体装置は、半導体層、前記半導体層上に、ゲート絶縁層を介して形成されたゲート電極、アクティブ領域の半導体層に形成された、ソース領域またはドレイン領域を構成する不純物拡散層、前記アクティブ領域に存在するゲート電極上に形成された、複数のコンタクト部、前記コンタクト部が形成された領域において、前記ゲート電極の下に形成されたパッド状絶縁層、および前記コンタクト部を介して電気的に接続され、前記ゲート電極に電位を供給するための金属配線層、を含む。

【0017】第2の態様の半導体装置は、半導体層、前記半導体層上に、ゲート絶縁層を介して形成されたゲート電極、アクティブ領域の半導体層に形成された、ソース領域またはドレイン領域を構成する不純物拡散層、前記アクティブ領域に存在するゲート電極上に形成された、複数のコンタクト部、前記コンタクト部が形成された領域において、前記ゲート電極の下に形成されたパッド状絶縁層、および前記コンタクト部を介して電気的に接続され、前記ゲート電極に電位を供給するための金属配線層、を含み、前記コンタクト部は、前記ゲート電極の中心からソース領域を構成する不純物拡散層側に変位

して配置され、かつ、前記ゲート電極は、ドレイン領域を構成する不純物拡散層側において、平面的にみて、ほぼ直線をなす形状を有する。

【0018】さらに、第2の態様の半導体装置においては、前記ソース領域を構成する不純物拡散層において、隣接するゲート電極上に形成されたコンタクト部は、それぞれ対をなして配置され、かつ、一対のコンタクト部は、単一のパッド状絶縁層の上に配置されることができ

る。

【0019】本発明にかかる半導体装置の製造方法は、以下の工程（a）ないし（d）を含むことができる。

【0020】（a）半導体層のアクティブ領域以外の領域に素子分離領域を形成する工程、（b）前記アクティブ領域の半導体層上に、ゲート絶縁層を介してゲート電極を形成する工程、（c）前記アクティブ領域の半導体層に、ソース領域またはドレイン領域を構成する不純物拡散層を形成する工程、および（d）前記アクティブ領域に存在するゲート電極上に、少なくとも1つのコンタクト部を形成する工程。

【0021】さらに、上記製造方法においては、前記工程（a）において、前記コンタクト部が形成される領域に、前記素子分離領域の形成と同時にパッド状絶縁層が形成されることができ

る。

【0022】前記工程（d）において、前記コンタクト部は、前記ゲート電極および前記不純物拡散層が形成された半導体層上に層間絶縁層を形成し、該層間絶縁層にコンタクトホールを形成し、さらに該コンタクトホールに導電層を埋め込むことにより形成されることができ

る。

【0023】さらに、前記ゲート電極に電位を供給するための導電層を形成する工程を有し、該導電層は、前記コンタクト部を介して前記ゲート電極と電氣的に接続されることができ

る。

【0024】また、前記パッド状絶縁層、前記コンタクト部および前記導電層は、前述した半導体装置の特徴を備えるように形成されることができ

る。

【0025】本発明の代表的な第1の態様にかかる半導体装置は、以下の工程（a）ないし（e）を含む製造方法によって得ることができ

る。

【0026】（a）半導体層のアクティブ領域以外の領域に素子分離領域を形成するとともに、コンタクト部が形成される領域にパッド状絶縁層が形成される工程、

（b）前記アクティブ領域の半導体層上に、ゲート絶縁層を介してゲート電極を形成する工程、（c）前記アクティブ領域の半導体層に、ソース領域またはドレイン領域を構成する不純物拡散層を形成する工程、（d）前記アクティブ領域に存在するゲート電極上に、複数のコンタクト部を形成する工程であって、該コンタクト部は、それぞれ前記パッド状絶縁層の上に位置するように形成される工程、および（e）前記コンタクト部を介して電

氣的に接続され、前記ゲート電極に電位を供給するための金属配線層を形成する工程。

【0027】さらに、第2の態様にかかる半導体装置は、以下の工程を含む製造方法によって得ることができる。すなわち、前記コンタクト部は、前記ゲート電極の中心からソース領域を構成する不純物拡散層側に変位して配置され、かつ、前記ゲート電極は、ドレイン領域を構成する不純物拡散層側において、平面的にみて、ほぼ直線をなす形状を有するようにパターンニングされる。

【0028】さらに、この製造方法において、前記ソース領域を構成する不純物拡散層をはさんで隣接するゲート電極上に形成されたコンタクト部は、それぞれ対をなして配置され、かつ、一対のコンタクト部は、単一のパッド状絶縁層上に配置されるように形成されることができ

る。

【0029】本発明にかかる半導体集積回路装置は、本発明にかかる半導体装置を有する静電気保護回路を含む。この静電気保護回路は、通常、入出力回路（入力回路、出力回路、入力回路および出力回路を有する回路）に含まれる。

【0030】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態について説明する。

【0031】〔第1の実施の形態〕

（半導体装置の構造）図1は、本発明の第1の実施の形態に係る半導体装置を模式的に示す平面図である。図2は、図1に示すA-A線に沿った断面図である。図3は、図1に示すB-B線に沿った断面図である。この半導体装置は、入出力回路の静電気保護回路を構成するMOSトランジスタを有し、サリサイドプロテクションによる静電気保護を図ったものである。図1は、単に半導体装置の一部を示し、1つのアクティブ領域において図1に示す構成を繰り返し有することができる。

【0032】本実施の形態の半導体装置は、ドーブトポリシリコンからなる第1および第2のゲート電極22、23を有する。ゲート電極22は、図2および図3に示すように、シリコン基板11上に形成されたゲート絶縁層21およびパッド状絶縁層13、14、15上に配置されている。そして、パッド状絶縁層13、14、15が形成された領域のゲート電極22上に、それぞれコンタクト部42、43、44が形成されている。さらに、ゲート電極22は、その各端部が素子分離領域12を構成する絶縁層上に配置され、ゲート電極22の各端部にはコンタクト部41、45が形成されている。

【0033】同様に、ゲート電極23は、シリコン基板11上に形成されたゲート絶縁層21およびパッド状絶縁層16、17、18上に配置されている。そして、パッド状絶縁層16、17、18が形成された領域のゲート電極23上に、それぞれコンタクト部47、48、49が形成されている。さらに、ゲート電極23は、その

各端部が素子分離領域を構成する絶縁層12上に配置され、各端部にはコンタクト部46, 50が形成されている。

【0034】第1および第2のゲート電極22, 23のそれぞれの両側のシリコン基板11には、ソース領域またはドレイン領域を構成する不純物拡散層（以下、「ソース／ドレイン領域の不純物拡散層」ともいう）24, 25, 26が形成されている。各々のソース／ドレイン領域の不純物拡散層24, 25, 26上の一部の領域には、たとえばチタンシリサイド層などのシリサイド層33, 34, 35が形成されている。シリサイド層33, 34, 35は、コンタクト部51, 52, 53により図示せぬ配線層と電気的に接続されている。この配線層は、ソース／ドレイン領域の不純物拡散層24, 25, 26に電流を供給するためのものである。

【0035】シリサイド層33, 34, 35は、ソース／ドレイン領域の不純物拡散層24, 25, 26上の一部、より具体的には、不純物拡散層24, 25, 26上であってゲート電極22, 23と離れた位置に形成されている。そのため、シリサイド層33, 34, 35が形成されている領域以外の不純物拡散層24, 25, 26上、および第1, 第2のゲート電極22, 23上には、シリサイドプロテクションとしての、酸化シリコン層、チ化シリコン層などのプロテクト絶縁層31が配置されている。

【0036】また、第1ゲート電極22の下には、複数のパッド状絶縁層（この例では、第1, 第2, 第3のパッド状絶縁層13, 14, 15）が形成されている。同様に、第2ゲート電極23の下には、複数のパッド状絶縁層（この例では、第4, 第5, 第6のパッド状絶縁層16, 17, 18）が形成されている。

【0037】第1ゲート電極22におけるパッド状絶縁層13, 14, 15上に位置する部分は、パッド状絶縁層13, 14, 15が形成されていない領域のゲート電極22に比べて幅が大きく、その平面形状が大きく形成されている。同様に、第2ゲート電極23におけるパッド状絶縁層16, 17, 18上に位置する部分は、パッド状絶縁層16, 17, 18が形成されていない領域のゲート電極23に比べて幅が大きく、その平面形状が大きく形成されている。ゲート電極をこのようにすることで、ゲート電極上でのコンタクト部の形成領域が広がり、その形成が容易となる。

【0038】パッド状絶縁層（この例ではパッド状絶縁層13～18）は、コンタクト部（この例ではコンタクト部42～44, 47～49）が形成される領域において、ゲート電極（この例ではゲート電極22, 23）の下に形成されている。パッド状絶縁層がシリコン基板とコンタクト部との間に存在することにより、コンタクト部を形成する際のストレスなどがゲート絶縁層に与える影響を回避でき、トランジスタ特性を低下させることが

ない。そして、パッド状絶縁層は、上記の機能を十分に達成するために、平面的にみて前記ゲート電極の平面形状より大きいことが好ましい。

【0039】第1ゲート電極22のコンタクト部41～45および第2ゲート電極23のコンタクト部46～50は、それぞれ等間隔で形成されている。このように、コンタクト部が等間隔で複数設けられることで、ゲート電極により均等に所定の電位を印加できる。

【0040】コンタクト部をこのように配置するためには、パッド状絶縁層も等間隔で形成される。すなわち、第1, 第2, 第3のパッド状絶縁層13, 14, 15は、互いに所定間隔W2を隔てて配置されており、第1のパッド状絶縁層13と第1のゲート電極22の一端とは間隔W2を有しており、かつ第3のパッド状絶縁層15と第1のゲート電極22の他端とは間隔W2を有している。第1, 第2, 第3のパッド状絶縁層13, 14, 15は、ソース／ドレイン領域の不純物拡散層24, 25に接する位置に形成され、かつ、シリサイド層33, 34の相互間に配置されている。

【0041】同様に、第4, 第5, 第6のパッド状絶縁層16, 17, 18は、互いに所定間隔W2を隔てて配置されており、第4のパッド状絶縁層16と第2のゲート電極23の一端とは間隔W2を有しており、かつ第6のパッド状絶縁層18と第2のゲート電極23の他端とは間隔W2を有している。また、第4, 第5, 第6のパッド状絶縁層16, 17, 18は、ソース／ドレイン領域の不純物拡散層25, 26に接する位置に形成され、かつ、シリサイド層34, 35の相互間に配置されている。

【0042】第1ゲート電極22は、コンタクト部41～45により第1金属配線層55と電気的に接続されている。同様に、第2ゲート電極23は、コンタクト部46～50により第2金属配線層57と電気的に接続されている。これらの金属配線層55, 57は、第1および第2のゲート電極22, 23に電位を供給するためのものであり、ゲート電極への電流の供給経路を短くするために複数のコンタクト部を介してゲート電極と接続されている。

【0043】本実施の形態のMOSトランジスタにおいて、そのサイズを例示すると、全体の幅W1は50μm程度、パッド状絶縁層の島によって分割された各セグメントの幅W2は10μm程度である。

【0044】（半導体装置の製造方法）次に、上記半導体装置を製造する方法について図1, 図2および図3を参照して説明する。

【0045】（1）図2および図3に示すように、まず、シリコン基板11の表面上にLOCOS法あるいはトレンチアイソレーション法により素子分離領域12およびパッド状絶縁層13～15, 16～17を形成する。ついで、シリコン基板11上に熱酸化法によりゲー

ト絶縁層21を形成する。次に、このゲート絶縁層21上にドーフトポリシリコンからなる第1および第2のゲート電極22, 23を形成する。そして、第1および第2のゲート電極22, 23をマスクとしてイオン注入することにより、シリコン基板11に、たとえばLDD構造を構成する低濃度の不純物拡散層などのエクステンション層（図示せず）が形成される。このエクステンション層は、デバイスの構造によって必要に応じて形成される。

【0046】（2）この後、第1および第2のゲート電極22, 23の両側壁に公知の方法によりサイドウォールスペーサ27を設ける。さらに、ゲート電極22, 23およびサイドウォールスペーサ27をマスクとしてイオン注入することにより、シリコン基板11にソース／ドレイン領域の不純物拡散層24, 25, 26が形成される。

【0047】（3）次に、第1、第2のゲート電極22, 23およびソース／ドレイン領域の不純物拡散層24, 25, 26を含む全面に、CVD（Chemical Vapor Deposition）法によりプロテクト絶縁層のための絶縁層を堆積する。プロテクト絶縁層としては、酸化シリコン、窒化シリコンなどを用いることができる。この後、エッチング加工により所定領域に開口部が形成されて、プロテクト絶縁層31が形成される。開口部は、後述するシリサイド層33, 34, 35が形成される領域に形成される。次に、この開口部により露出したソース／ドレイン領域の不純物拡散層24, 25, 26を含む全面に、チタン層などのシリサイド層のための金属層（図示せず）を堆積する。この後、熱処理を施すことにより、不純物拡散層24, 25, 26の露出面にシリサイド層33, 34, 35が形成される。

【0048】（4）この後、シリサイド層33, 34, 35を含む全面に層間絶縁層32を堆積し、層間絶縁層32およびプロテクト絶縁層31にコンタクトホールを設ける。次に、コンタクトホール内および層間絶縁層32上に所定パターンの金属層を堆積させて、コンタクト部41～45, 46～50および金属配線層55, 57を形成する。

【0049】以上の工程で、本実施の形態にかかる半導体装置を形成できる。

【0050】第1の実施の形態によれば、第1～第3のパッド状絶縁層13～15、および第4～第6のパッド状絶縁層16～18が形成された領域において、ゲート電極22, 23上にコンタクト部42～44, 47～49を設けている。そして、コンタクト部41～45を介して第1ゲート電極22と第1金属配線層55とが接続され、同様に、コンタクト部46～50を介して第2ゲート電極23と第2金属配線層57とが接続されている。つまり、ゲート電極は、それぞれ複数箇所のコンタクト部において金属配線層と接続されている。

【0051】このため、素子分離領域においてゲート電極の端部の1箇所のみにおいて金属配線層とのコンタクトをとっているタイプの半導体装置に比べて、本実施の形態では、ゲート電極の見掛け上の抵抗を低くすることができる。そして、本実施の形態では、ゲート電極上にシリサイド層を形成しないため、シリサイド層をゲート電極上に形成する場合に必要なとされるマスク合わせ余裕が不要となることから、その分、ゲート長を短くすることができる。従って、トランジスタを高速動作させることが可能となるばかりでなく、トランジスタのさらなる高集積化が可能となる。

【0052】また、本実施の形態では、ゲート電極上にシリサイド層を形成しないため、シリサイド層の大きさの変動によるゲート抵抗のばらつきが生じることがない。従って、トランジスタの相互でゲート抵抗を一定にすることが可能となり、トランジスタ特性のばらつきを少なくできる。

【0053】〔第2の実施の形態〕図4は、本発明の第2の実施の形態に係る半導体装置を模式的に示す平面図である。図5は、図4に示すC-C線に沿った断面図である。この半導体装置は、入出力回路の静電気保護回路を構成するMOSトランジスタを有し、シリサイドプロテクションによる静電気保護を図ったものである。以下、主として第1の実施の形態と異なる本実施の形態の特徴部分について説明し、第1の実施の形態にかかる半導体装置と実質的に同じ機能を有する部分には、同一符号を付して説明を省略する。

【0054】本実施の形態においては、コンタクト部の形成領域の点で第1の実施の形態と異なる。すなわち、第1の実施の形態では、コンタクト部はゲート電極のほぼ中心に沿って設けられたのに対し、第2の実施の形態では、コンタクト部はソース領域を構成する不純物拡散層側に変位した状態で形成されている。

【0055】図4に示すように、第1ゲート電極22においては、コンタクト部42, 43, 44は、一方のソース領域を構成する不純物拡散層24側に変位して設けられている。また、第2ゲート電極23においては、コンタクト部47, 48, 49は、他方のソース領域を構成する不純物拡散層26側に変位して設けられている。具体的には、ゲート電極22は、コンタクト部42, 43, 44が形成される領域を含む突出部22a, 22b, 22cを有し、同様に、ゲート電極23は、コンタクト部47, 48, 49が形成される領域を含む突出部23a, 23b, 23cを有する。

【0056】図5に示すように、ゲート電極22の突出部22a, 22b, 22cの下には、それぞれパッド状絶縁層13, 14, 15が形成されている。同様に、ゲート電極23の突出部23a, 23b, 23cの下には、それぞれパッド状絶縁層16, 17, 18が形成さ

れている。したがって、この半導体装置では、パッド状絶縁層13、14、15および16、17、18は、ゲート電極22、23の中心からソース領域側に変位して配置されている。そして、パッド状絶縁層13、14、15および16、17、18上に、ゲート電極22、23の突出部22a、22b、22cおよび23a、23b、23cが配置され、さらに、これらの突出部上に、コンタクト部42、43、44および47、48、49が配置されている。

【0057】このようにコンタクト部をゲート電極からソース領域側に変位させることで、ゲート電極22、23は、それぞれ、ドレイン領域を構成する不純物拡散層25側に突出部分が存在しないように形成されている。したがって、ゲート電極22、23は、ドレイン領域を構成する不純物拡散層25側の側面がほぼ直線状に形成されている。その結果、電界集中が生じやすい凹凸形状を有しないドレインジャンクションを形成できる。

【0058】第1金属配線層55は、コンタクト部41～45と接続されれば特に限定されず、たとえばゲート電極22およびその突出部22a～22cと重なるようなパターンを有することができる。同様に、第2金属配線層57は、コンタクト部46～50と接続されれば特に限定されず、たとえばゲート電極23およびその突出部23a～23cと重なるようなパターンを有することができる。

【0059】本実施の形態の半導体装置の製造方法は、基本的には第1の実施の形態で述べたと同様の方法を採用できる。そして、パッド状絶縁層、ゲート電極および金属配線層の形成において、これらが所定のパターンを有するようにパターンニングされる。

【0060】本実施の形態によれば、第1の実施の形態で述べた作用効果に加えて、以下の特徴を有する。すなわち、ドレイン領域を構成する不純物拡散層側において、ゲート電極はほぼ直線的な形状を有するので、ドレインジャンクションをスムーズに構成でき、したがって、静電破壊に至るような電界集中をより確実に回避できる。

【0061】(変形例)図6は、第2の実施の形態の変形例を模式的に示す平面図である。この例では、コンタクト部をゲート電極の中心からソース領域側に変位させて配置する点で上記実施の形態と同様である。第2の実施の形態と同様の部分には同一符号を付して説明する。

【0062】この例では、ソース領域を構成する不純物拡散層において、隣接するゲート電極上に形成された複数のコンタクト部は、それぞれ対をなして複数組配置され、かつ、一对のコンタクト部は、それぞれ単一のパッド状絶縁層上に配置されている。

【0063】図6では、ソース領域を構成する不純物拡散層24をはさんでドレイン領域を構成する不純物拡散層25、28が配置され、かつ不純物拡散層24に形成

された1対のコンタクト部62、64を示す。ゲート電極22およびこれと隣り合うゲート電極29には、それぞれソース領域を構成する不純物拡散層24側に突出する突出部22aおよび29aが形成されている。これらの隣り合う突出部22a、29aの下には、1つのパッド状絶縁層60が形成されている。このパッド状絶縁層60は、平面的に見て、少なくとも突出部22aおよび29aに形成されるコンタクト部62、64の領域を含むように形成される。したがって、パッド状絶縁層60が形成された領域では、ソース領域24のコンタクト部51は形成されない。図6中、符号36は不純物拡散層28の表面に形成されたシリサイド層を、符号54はコンタクト部を示す。

【0064】この例では、ソース領域24において隣り合う1対のコンタクト部62、64を単一のパッド状絶縁層60上に形成することで、図4および図5に示す半導体装置に比べてよりコンパクトな構造をとりうる。

【0065】本発明は、上記実施の形態に限定されず、本発明の範囲内で種々変更して実施することが可能である。例えば、パッド状絶縁層の相互間の間隔W2は、デバイスの設計によって変更することが可能であり、アクティブ領域に複数個設けられたパッド状絶縁層の相互間の間隔は、不等間隔にすることも可能である。

【0066】また、上記実施の形態では、半導体層として半導体基板を用いているが、これに限らず、例えば、SOI基板の半導体層を用いることも可能である。

【0067】また、上記実施の形態では、ソース/ドレイン領域の不純物拡散層上の一部の領域にシリサイド層を形成しているが、このようなシリサイド層は本発明の必須要件ではない。従って、本発明は、シリサイド層が形成されていないMOSトランジスタを有することができる。

【0068】また、上記本実施の形態では、アクティブ領域に存在するゲート電極の複数箇所に金属配線層とのコンタクト部を形成しているが、アクティブ領域に存在するゲート電極の1箇所にコンタクト部を形成することも可能である。

【0069】本発明にかかる半導体装置は、静電気保護回路の少なくとも一部を構成することができる。このような静電気保護回路は、特に限定されず、MOSトランジスタ、ダイオード、バイポーラトランジスタ、サイリスタなどの少なくともひとつを含んで構成できる。静電気保護回路は、通常、入出力回路(入力回路、出力回路、入力回路および出力回路を有する回路)に含まれる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態にかかる半導体装置を示す平面図である。

【図2】図1に示すA-A線に沿った断面図である。

【図3】図1に示すB-B線に沿った断面図である。

【図4】本発明の第2の実施の形態にかかる半導体装置を示す平面図である。

【図5】図4に示すC-C線に沿った断面図である。

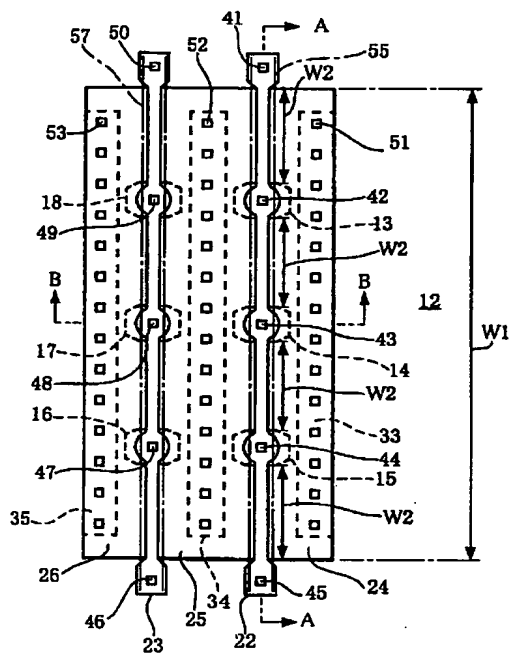
【図6】第2の実施の形態の変形例を示す平面図である。

【符号の説明】

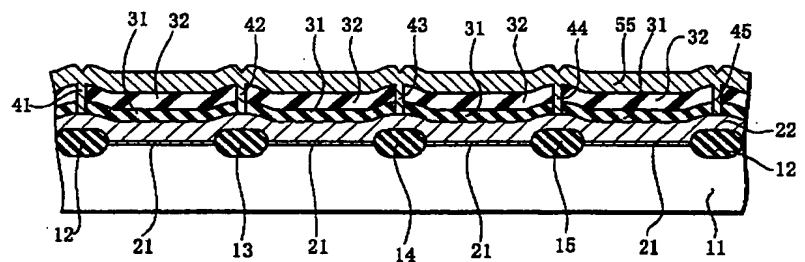
11 シリコン基板
12 素子分離領域
13～18, 60 パッド状絶縁層
21 ゲート絶縁層

22 第1ゲート電極
23 第2ゲート電極
24～26, 28 ソース/ドレイン領域を構成する不純物拡散層
27 サイドウォールスペーサ
31 プロテクト絶縁層
32 層間絶縁層
33～36 シリサイド層
41～50, 62, 64 コンタクト部
55, 57 金属配線層

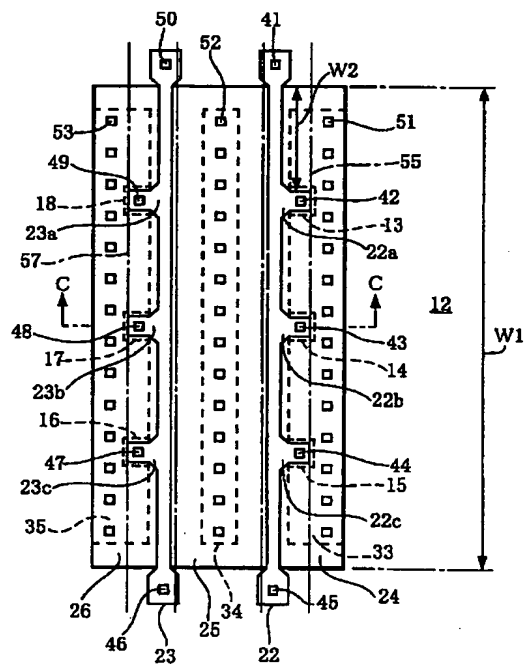
【図1】



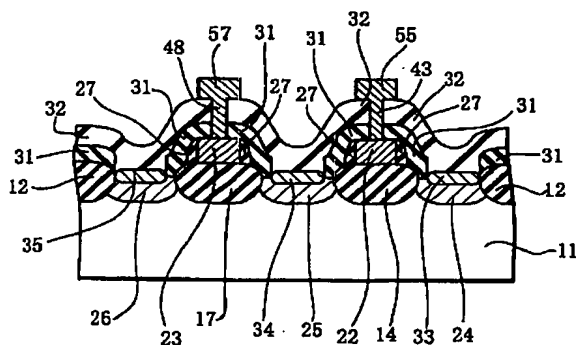
【図2】



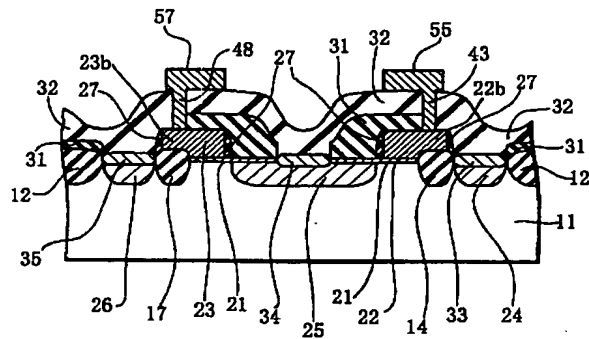
【図4】



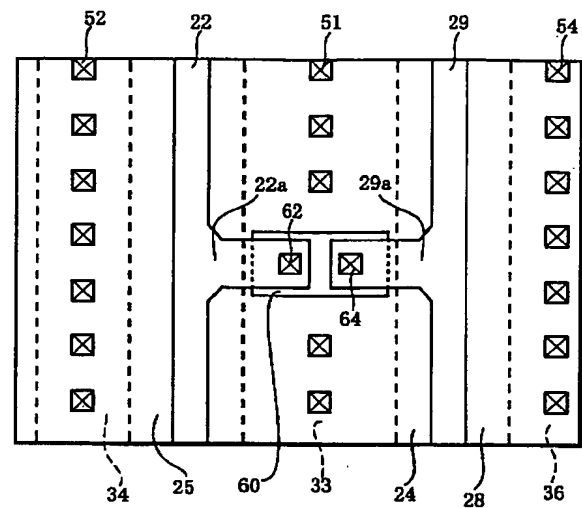
【図3】



【図5】



【図6】



フロントページの続き

Fターム(参考) 5F033 GG03 HH25 JJ01 JJ25 KK04
 KK27 LL04 MM15 MM21 NN00
 QQ37 RR04 RR06 SS11 UU04
 VV06 XX08
 5F038 BH07 BH13 EZ17
 5F040 DA01 DA23 DA24 DC01 EB12
 EC07 EC26 EF02 EJ03 EK01
 EK05 FB02 FB04 FC19
 5F048 AA02 AC01 BA20 BB05 BC01
 BF00 BF06 BF07 BF15 BF16
 BG12 CC04 CC11